

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESEN



PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT (Artikel 36 und Regel 70 PCT)

REC'D 03 AUG 2004

WIPO

PCT

Aktenzeichen des Anmelders oder Anwalts 12626WO /mz	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen PCT/EP 03/09179	Internationales Anmeldedatum (Tag/Monat/Jahr) 19.08.2003	Prioritätsdatum (Tag/Monat/Jahr) 29.08.2002
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK G06F17/50		
Anmelder INFINEON TECHNOLOGIES AG et al.		
<p>1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.</p> <p>2. Dieser BERICHT umfaßt insgesamt 5 Blätter einschließlich dieses Deckblatts.</p> <p><input checked="" type="checkbox"/> Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).</p> <p>Diese Anlagen umfassen insgesamt 5 Blätter.</p>		
<p>3. Dieser Bericht enthält Angaben zu folgenden Punkten:</p> <ul style="list-style-type: none">I <input checked="" type="checkbox"/> Grundlage des BescheidsII <input type="checkbox"/> PrioritätIII <input type="checkbox"/> Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche AnwendbarkeitIV <input type="checkbox"/> Mangelnde Einheitlichkeit der ErfindungV <input checked="" type="checkbox"/> Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser FeststellungVI <input type="checkbox"/> Bestimmte angeführte UnterlagenVII <input type="checkbox"/> Bestimmte Mängel der internationalen AnmeldungVIII <input type="checkbox"/> Bestimmte Bemerkungen zur internationalen Anmeldung		
Datum der Einreichung des Antrags 15.03.2004	Datum der Fertigstellung dieses Berichts 02.08.2004	
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Alonso Nogueiro, L Tel. +49 89 2399-7999 	

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):

Beschreibung, Seiten

1-17 in der ursprünglich eingereichten Fassung

Ansprüche, Nr.

1-16 eingegangen am 14.07.2004 mit Schreiben vom 14.07.2004

Zeichnungen, Blätter

1 in der ursprünglich eingereichten Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um:

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/EP 03/09179

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen.)

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung
- | | |
|--------------------------------|---------------------|
| Neuheit (N) | Ja: Ansprüche 1-16 |
| | Nein: Ansprüche |
| Erfinderische Tätigkeit (IS) | Ja: Ansprüche 1-16 |
| | Nein: Ansprüche |
| Gewerbliche Anwendbarkeit (IA) | Ja: Ansprüche: 1-16 |
| | Nein: Ansprüche: |

2. Unterlagen und Erklärungen:

siehe Beiblatt

Zu Punkt V

Begründete Feststellung hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. **Der nächste Stand der Technik** wird im Dokument XP002270149 beschrieben. Die Einarbeitung in ein Verifikationsmodul verschiedener, vordefinierter Architekturevarianten für Multiplizierer, und der Vergleich all dieser Varianten mit der synthetisierten Schaltung, wird in diesem Dokument als wenig versprechend gewertet. Statt dessen wird ein Boolescher Mappingalgorithmus verwendet, welcher aus einer Gatternetzliste einer Addierschaltung ein Netz von Halbaddierern extrahiert. Anschliessend wird eine Äquivalenzprüfung bei bekannter arithmetischen Darstellung auf Bitebene der Addierschaltung vorgenommen. Dieses Verfahren ist auf einzelne, isolierte Multiplikationsfunktionen beschränkt.
2. **Nachteile** des Stand der Technik: in der Praxis werden nach der Optimierung synthetisierter Schaltungen die Gatter der Multiplizierer mit anderen Gattern verwoben sein. Damit das Verfahren praktikabel bleibt sind dann zusätzliche Informationen über den Aufbau der Multiplizierer notwendig.
3. **Technisches Problem:** Daher liegt folgendes technisches Problem vor: die effiziente Verifikation digitaler Schaltungen durch Äquivalenzprüfung, ohne dass explizit Informationen über die in der Schaltung realisierten Implementierungsalternativen bekannt sind und ohne dass die Verifikation auf eine konkrete Implementierungsalternative beschränkt ist.
2. **Lösung gemäß vorliegender Erfindung.**
Die vorliegende Erfindung löst das Problem der zusätzlichen Informationen über die verwendete Implementierungsalternative indem von allen möglichen Implementierungsalternativen, diejenige für die Verifikation ausgewählt wird, welche den höchsten strukturellen Übereinstimmungsgrad mit der synthetisierten Schaltung besitzt. Um diesen zu ermitteln wird jede Implementierungsalternative in ombination mit der Referenzbeschreibung simuliert und mit einer Simulation der Schaltung verglichen. Es wird die Implementierungsalternative ausgewählt, welche für mehrere Simulationsmuster die größte Übereinstimmung von Berechnungspunkten mit der Schaltung aufweist (heuristischer Ansatz). Im Stand der Technik ist kein Hinweis für die Entwicklung der oben beschriebenen

Lösung (In D1 wird davon abgeraten). Demzufolge ist der Gegenstand von
Anspruch 1 für den Fachmann nicht offensichtlich.

Patentansprüche

1. Verfahren zur Verifikation von digitalen Schaltungen,
5 wobei eine zu verifizierende digitale Schaltung (6) mit einer Referenzbeschreibung (5) der digitalen Schaltung verglichen wird, um durch eine Äquivalenzprüfung Fehler in der digitalen Schaltung zu erkennen,
d a d u r c h g e k e n n z e i c h n e t,
- 10 (a) dass für bestimmte durch die Referenzbeschreibung (5) der digitalen Schaltung beschriebene Schaltungsstrukturen, für welche verschiedene Implementierungsalternativen (7) bekannt sind, jeweils diejenige Implementierungsalternative (7) bestimmt wird, welche den größten strukturellen Übereinstim-
- 15 mungsgrad mit der zu verifizierenden digitalen Schaltung (6) aufweist,
wobei die verschiedenen Implementierungsalternativen (7) jeweils in Kombination mit der Referenzbeschreibung (5) simuliert und mit einer entsprechenden Simulation der digitalen
- 20 Schaltung (6) verglichen werden, um als die Implementierungsalternative (7) mit dem größten strukturellen Übereinstimmungsgrad mit der digitalen Schaltung (6) diejenige Implementierungsalternative (7) zu bestimmen, welche dabei für mehrere Simulationsmuster die größte Übereinstimmung von Berechnungspunkten mit der digitalen Schaltung (7) aufweist,
- 25 (b) dass in der Referenzbeschreibung (5) der digitalen Schaltung die Beschreibung der einzelnen Schaltungsstrukturen durch die für die jeweilige Schaltungsstruktur im Schritt (a) ermittelte Implementierungsalternative (7) mit dem jeweils
- 30 größten strukturellen Übereinstimmungsgrad ersetzt wird, und
(c) dass die Äquivalenzprüfung durch Vergleich der digitalen Schaltung (6) mit der gemäß Schritt (b) geänderten Referenzbeschreibung (5) durchgeführt wird.
- 35 2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t,
dass die bestimmten Schaltungsstrukturen, für welche im
Schritt (a) jeweils die Implementierungsalternative mit dem
größten Übereinstimmungsgrad ermittelt wird, Multiplizier-
5 rerstrukturen sind.

3. Verfahren nach Anspruch 2,
d a d u r c h g e k e n n z e i c h n e t,
dass die bestimmten Schaltungsstrukturen, für die im Schritt
10 (a) jeweils die Implementierungsalternative (7) mit dem größ-
ten Übereinstimmungsgrad ermittelt wird, Multipliziererstruk-
turen zur Realisierung ganzzahliger Multiplikationsfunktionen
sind.

15 4. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass das Verfahren computergestützt durchgeführt wird.

5. Verfahren nach einem der vorhergehenden Ansprüche,
20 d a d u r c h g e k e n n z e i c h n e t,
dass die Referenzbeschreibung (5) ausgewählt ist aus einer
RTL-, VHDL- und Verilog-Schaltungsbeschreibungen umfassenden
Gruppe.

25 6. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass im Schritt (c) die Äquivalenzprüfung durch einen Ver-
gleich einer vorliegenden Implementierung der digitalen
Schaltung (6) mit der im Schritt (b) geänderten Referenzbe-
30 schreibung (5) durchgeführt wird.

7. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass die vorgegebenen Implementierungsalternativen (7) für
35 die bestimmten Schaltungsstrukturen verschiedene von einer

für den Entwurf der digitalen Schaltung vorhandenen Synthese-
einrichtung unterstützte Architekturen dieser bestimmten
Schaltungsstrukturen umfassen.

5 8. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass im Schritt (a) für jede Schaltungsstruktur die verschie-
denen Implementierungsalternativen (7) gleichzeitig simuliert
und mit der Simulation der digitalen Schaltung (6) verglichen
10 werden.

9. Verfahren nach Anspruch 8,
d a d u r c h g e k e n n z e i c h n e t,
dass die verschiedenen Implementierungsalternativen (7) für
15 jede Schaltungsstruktur dadurch gleichzeitig simuliert wer-
den, dass Eingänge der Implementierungsalternativen (7) mit-
einander verbunden und korrespondierende Ausgänge der Imple-
mentierungsalternativen (7) unter Beibehaltung der Schal-
tungsfunktion der einzelnen Implementierungsalternativen auf
20 einen gemeinsamen Ausgang geführt werden.

10. Verfahren nach Anspruch 9,
d a d u r c h g e k e n n z e i c h n e t,
dass die Ausgänge der verschiedenen Implementierungsalterna-
25 tiven (7) über eine logische ODER-Schaltungseinrichtung mit
dem gemeinsamen Ausgang verbunden werden.

11. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
30 dass im Schritt (a) für jede Implementierungsalternative (7)
der Übereinstimmungsgrad mit der Simulation der digitalen
Schaltung (6) dadurch ermittelt wird, dass für die mehreren
Simulationsmuster für jede Implementierungsalternative (7)
die Anzahl der für die einzelnen Simulationsmuster von der
35 Referenzbeschreibung (5) mit der jeweiligen
Implementierungsalternative ausgegebenen Werte, die identisch

alternative ausgegebenen Werte, die identisch zu den von der digitalen Schaltung (6) für die entsprechenden Simulationsmuster ausgegebenen Werte sind, ermittelt und als Übereinstimmungsgrad für die entsprechende Implementierungsalternative (7) verwendet wird.

12. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass bei der im Schritt (a) durchgeführten Bestimmung der Implementierungsalternativen (7) mit dem größten strukturellen Übereinstimmungsgrad ein Verfahren einer Äquivalenzklassenverfeinerung angewendet wird.

13. Vorrichtung zur Verifikation von digitalen Schaltungen, mit ersten Speichermitteln (6) zum Speichern einer Beschreibung einer zu verifizierenden digitalen Schaltung, mit zweiten Speichermitteln (5) zum Speichern einer Referenzbeschreibung der digitalen Schaltung, und mit Verifikationsmitteln (2), welche derart eingerichtet sind, dass sie die Beschreibung der zu verifizierenden digitalen Schaltung (6) mit der Referenzbeschreibung (5) vergleichen, um durch eine Äquivalenzprüfung Fehler in der digitalen Schaltung zu erkennen, dadurch gekennzeichnet, dass dritte Speichermittel (7) zum Speichern verschiedener vorgegebener Implementierungsalternativen für bestimmte Schaltungsstrukturen der digitalen Schaltung vorgesehen sind, dass die Verifikationsmittel (2) derart eingerichtet sind, dass sie für die bestimmten Schaltungsstrukturen jeweils diejenige Implementierungsalternative bestimmen, welche den größten strukturellen Übereinstimmungsgrad mit der zu verifizierenden digitalen Schaltung aufweist, wobei die Verifikationsmittel (2) derart eingerichtet sind, dass sie zur Bestimmung der Implementierungsalternative mit dem größten strukturellen Übereinstimmungsgrad mit der digi-

talen Schaltung die verschiedenen Implementierungsalternativen jeweils in Kombination mit der Referenzbeschreibung simulieren und mit einer entsprechenden Simulation der digitalen Schaltung vergleichen, um als die Implementierungsalternative
5 mit dem größten strukturellen Übereinstimmungsgrad mit der digitalen Schaltung diejenige Implementierungsalternative zu bestimmen, welche dabei für mehrere Simulationsmuster die größte Übereinstimmung von Berechnungspunkten mit der digitalen Schaltung aufweist, und
10 dass die Verifikationsmittel (2) derart eingerichtet sind, dass sie in der Referenzbeschreibung der digitalen Schaltung für die einzelnen bestimmten Schaltungsstrukturen jeweils die zuvor ermittelte Implementierungsalternative mit dem größten strukturellen Übereinstimmungsgrad einsetzen und die zu verifizierende Beschreibung der digitalen Schaltung mit der somit
15 geänderten Referenzbeschreibung zur Durchführung der Äquivalenzprüfung vergleichen.

14. Vorrichtung nach Anspruch 13,
20 d a d u r c h g e k e n n z e i c h n e t, dass die Vorrichtung zur Durchführung des Verfahrens nach einem der Ansprüche 1-12 eingerichtet ist.

15. Computerprogramm-Produkt mit einem auf einem Datenträger
25 (3) gespeicherten Programmcode zur Durchführung des Verfahrens nach einem der Ansprüche 1-12, wenn der Programmcode in einem Rechnersystem (1) abläuft.

16. Digitales Speichermedium (3) mit elektronisch auslesbaren Steuersignalen, die so mit einem Rechnersystem zusammenwirken können, dass das Verfahren nach einem der Ansprüche 1-
30 12 ausgeführt wird.